

Trabajo Práctico Número 3

Sistemas con Microprocesadores

30/09/2026

Instrucciones

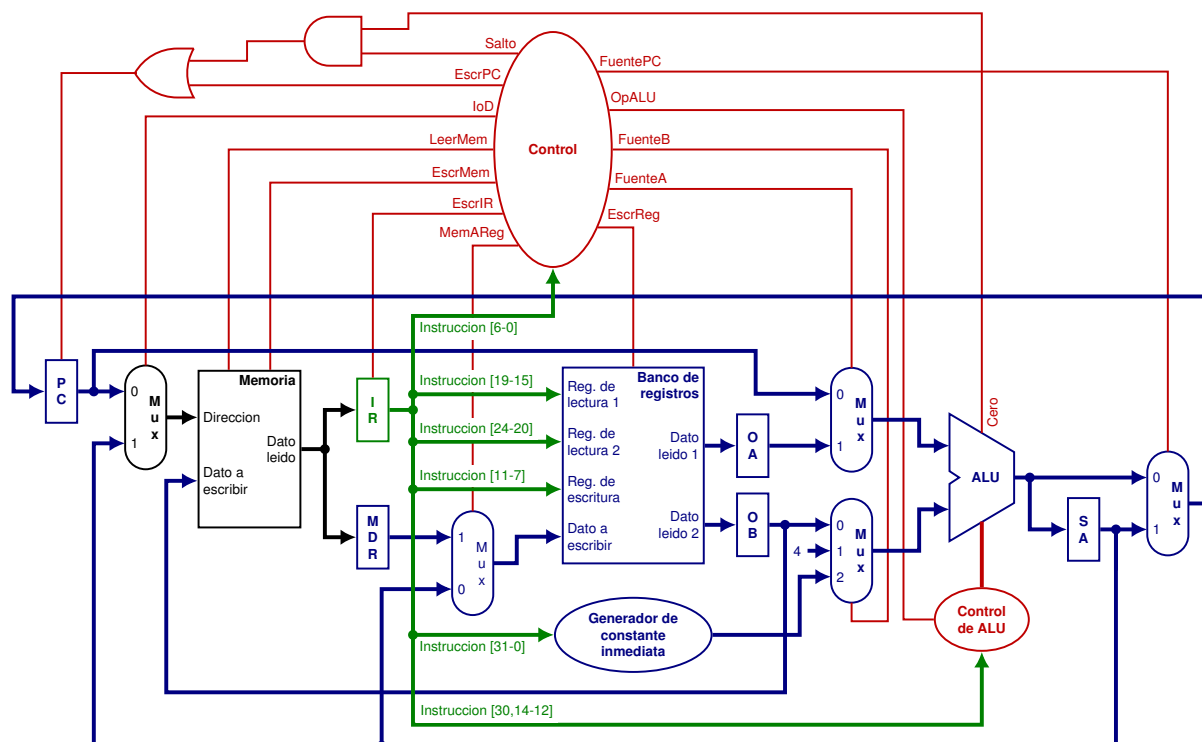
- Los ejercicios propuestos en el presente trabajo práctico pueden ser resueltos en forma individual o grupal.
- El planteo de la solución debe realizarse basándose en lo aprendido en las clases teóricas.
- Puede utilizar las clases de consulta para consultar ejercicios de enunciado y verificar la validez de la solución obtenida.
- Posteriormente, se tomará una evaluación con ejercicios similares a los de este práctico, la cual deberá ser resuelta en forma individual. La fecha de evaluación se encuentra en el sitio web de la materia.

Conceptos involucrados

- Procesador multiciclo: camino de datos, implementación del control con máquinas de estado finito.
- Agregado de instrucciones. Modificaciones al camino de datos y al control.
- Determinación de la duración del tiempo de ciclo en cada procesador. Camino crítico.

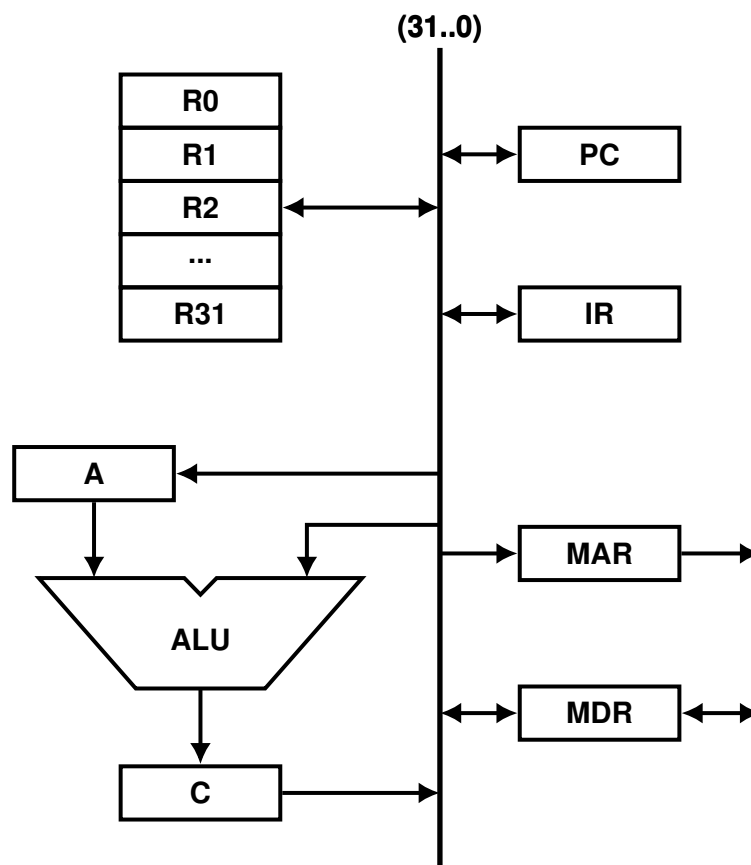
Problemas propuestos

- Examinando la arquitectura del procesador multiciclo visto en clase, conteste las siguientes preguntas:
 - Si por un error en la síntesis de la máquina de estados del control del multiciclo, la señal MemAReg permanece siempre en 0, ¿qué instrucciones se verían afectadas y cuáles continúan operando correctamente? Justifique considerando las etapas de ejecución.
 - Si ahora el error consiste en que la señal MemAReg tiene el valor invertido respecto a lo que especifica la máquina de estados, ¿funcionarían correctamente algunas de las instrucciones? ¿Cuáles? Analice el impacto en cada etapa.
 - ¿Es posible reemplazar la señal de control MemAReg por la señal LeerMem? Si no fuera posible, ¿se le ocurre alguna solución para hacerlo viable?



- [Recomendado] Examinando la arquitectura del procesador multiciclo visto en clase, conteste las siguientes preguntas:
 - ¿Cuál es la función de la **Unidad de Control**? En caso de que una falla impida su correcto funcionamiento ¿cuáles serían las instrucciones que se verían afectadas y cuáles serían las instrucciones que pueden seguir funcionando normalmente?

- b) Por un error en la fabricación del microcontrolador, el registro **OB** (salida del Dato 2 del **Banco de Registros**) no funciona correctamente, y siempre mantiene almacenado un valor de 0 (cero). ¿Qué consecuencias trae ese fallo al funcionamiento del microprocesador? ¿Qué instrucciones se ven afectadas y cuáles no?. Justifique su respuesta.
- c) Explique muy resumidamente (en una o dos líneas) qué función cumple cada uno de los registros del procesador multiciclo visto en clase: **PC**, **IR**, **MDR**, **OA**, **OB**, **SA**. ¿Todos los registros necesitan señales de control manejados por la **Unidad de Control**? Justifique su respuesta.
- 3) *[Recomendado]* Al ISA de RISC-V se desea agregar la instrucción **lwr** $x1, x2(x3)$, cuyo RTN abstracto es $R[x1] \leftarrow M[R[x2] + R[x3]]$.
- Definir el formato de la nueva instrucción.
 - Indicar en un diagrama las modificaciones a realizar en el camino de datos.
 - Indicar en la tabla de verdad las modificaciones a realizar en el control.
 - Calcular el número de ciclos de reloj requeridos para la nueva instrucción.
 - Indicar la duración total de ejecución de la instrucción, considerando que el retardo de las memorias es 200 ps, el retardo de la ALU y de los sumadores es 100 ps, el retardo de los multiplexores es 20ps, mientras que el retardo del banco de registros es de 50 ps, todos los demás componentes tienen un retardo despreciable.
- 4) *[Profundización]* Su grupo de estudio decide crear el microprocesador SM2025. Tomando como base el RISC-V visto en clase, se les ocurre eliminar las instrucciones de tipo Store.
- ¿Qué modificaciones debería realizar en el camino de datos?
 - Indique los cambios que debería realizar en la máquina de estado finita.
 - ¿Existe forma de realizar las instrucciones Store eliminadas como combinación de otras instrucciones o seudoinstrucciones? Justifique detalladamente su respuesta.
- 5) Diseñe la unidad de control para el siguiente camino de datos de un procesador SRC-1.
- Especifique todas las entradas y salidas que debe tener la unidad de control.
 - Diseñe una máquina de estado finita para la unidad de control.
 - Implemente un secuenciador que maneje los cambios de estado de la máquina de estado finita del apartado anterior. Especifique el contenido de la ROM de despacho.
 - Escriba las microinstrucciones que estarán guardadas en la ROM que maneja las salidas de la unidad de control.



- 6) *[Recomendado]* Se desea eliminar de la arquitectura multiciclo la posibilidad de especificar un desplazamiento de memoria con desplazamiento positivo. Concretamente, toda instrucción que acceda a memoria con desplazamientos diferentes de cero se reemplazarán por dos instrucciones: una que realice la suma del desplazamiento y otra que acceda a memoria con desplazamiento igual a cero

$$\text{lw } t0, 10(t1) \implies \begin{array}{l} \text{addi } t0, t1, 10 \\ \text{lw } t0, (t0) \end{array}$$

- ¿Qué cambios realizaría en el camino de datos y en la máquina de estados para implementar esta nueva versión de la arquitectura?
 - Calcule el tiempo de ejecución de la nueva instrucción considerando que el retardo de las memorias es 200 ps, el retardo de la ALU y de los sumadores es de 100 ps, el retardo de los multiplexores es 20ps, mientras que el retardo del banco de registros es de 50 ps, y todos los demás componentes tienen un retardo despreciable.
 - Compare el tiempo de ejecución de la instrucción lwr con la instrucción lw original, sin considerar el tiempo que toma la instrucción addi.
 - En función de su respuesta anterior, analice la conveniencia de eliminar el desplazamiento en las instrucciones Store.
- 7) Debido a problemas observados en la Unidad de Control de un procesador RISC-V pueden suceder los siguientes errores, en forma independiente uno de otro:
- La línea de control Fuente A, que maneja uno de los multiplexores de ingreso de datos a la ALU, funciona invertida: cuando debería indicar 0, indica 1, y viceversa.
 - La línea de control loD, que maneja el multiplexor de ingreso de direcciones a la memoria, queda fijada en valor 0.
 - La línea de control FuentePC, que maneja el valor que ingresa al registro PC, queda fijada siempre en valor 0
- Analice para cada caso, por separado, cuáles son las consecuencias de estos errores y qué tipo de instrucciones se ven afectadas.

Ejercicio a Desarrollar en Clase Práctica

- 1) Dada una computadora de 8 bits que dispone de una única instrucción rs, reste y salte, la cual tiene tres operandos y realiza las siguientes operaciones:

Instrucción	Operación
RS a,b,c	$M(a) = M[a] - M[b]$; Saltar a c

- Defina el formato de la instrucción.
- Reste dos valores y almacene el resultado en la dirección siguiente.
- Dibuje el mapa de memoria y el contenido según el apartado anterior.
- Diseñe un camino de datos posible para este ISA.
- Escriba el RTN concreto según el apartado anterior.
- Indique las señales de control del registro C.
- Diseñe la unidad de control.

Soluciones propuestas

- 1)
 - a) Las instrucciones load no funciona.
 - b) Las instrucciones load y aritméticas no funcionan.
 - c) Es posible agregando un flip flop para retrasar la señal un ciclo.
- 2)
- 3) ...
- 4)
 - a) Formato tipo R
 - b) No es necesario realizar modificaciones
 - c) Bifurcación en la MEF
 - d) 5 ciclos
 - e) ...
- 5)
 - a) Eliminar ingreso de datos a memoria desde banco de registro y líneas de control correspondientes.
 - b) Eliminar estados Store en máquina de estado finita.
 - c) No es posible.
- 6)
 - a) Entradas: opcode, flags. Salidas: señales de control.
 - b) ...
 - c) ...
 - d) Señales activas en cada estado.
- 7) ...
- 8)
 - a) Afecta a todas las instrucciones por dato erróneo en ALU.
 - b) Afecta instrucciones de acceso a memoria (load store)
 - c) Afecta saltos.